

A DRIVING CIRCUIT FOR A LIQUID CRYSTAL PANEL
[Ekishopaneru No Kudokairo]

Kazuhiro Takahara, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. January 2001

Translated by: Diplomatic Language Services, Inc.

BEST AVAILABLE COPY

PUBLICATION COUNTRY (19) : JP
DOCUMENT NUMBER (11) : 04-168417
DOCUMENT KIND (12) : A
(13) :
PUBLICATION DATE (43) : 19920616
PUBLICATION DATE (45) :
APPLICATION NUMBER (21) : 02293661
APPLICATION DATE (22) : 19901101
ADDITION TO (61) :
INTERNATIONAL CLASSIFICATION (51) : G02F 1/133; G09G 3/36
DOMESTIC CLASSIFICATION (52) :
PRIORITY COUNTRY (33) :
PRIORITY NUMBER (31) :
PRIORITY DATE (32) :
INVENTOR (72) : TAKAHARA, KAZUHIRO; YAMAGUCHI,
TADAHISA
APPLICANT (71) : FUJITSU K.K.
TITLE (54) : A DRIVING CIRCUIT FOR A LIQUID
CRYSTAL PANEL
FOREIGN TITLE [54A] : EKISHOPANERU NO KUDOKAIRO

1. Title:

A DRIVING CIRCUIT FOR A LIQUID CRYSTAL PANEL

2. Claims:

In a driving circuit for a matrix-type liquid crystal display panel in which terminal electrodes (3) of the liquid crystal panel (2) are divided, in advance, into plural electrode groups (4) depending on the output bit number (m) of the driver IC (1), and which is equipped with driver IC (1) whose number is similar to that of the electrode groups (4);

the driving circuit for liquid crystal panel is characterized by the fact that the driving circuit has auxiliary terminals (5), in which other ends are opened, to which excess output bits of the driver IC (1') having output number (n), which is larger than the output bit number (m) of the driver IC (1), are connected;

a start pulse generating circuit (6) with which a start pulse is generated for every circuit number of the electrode group (4); and,

a start pulse input circuit (7) with which, when the driver IC (1') is connected to the electrode group (4), the start pulse is input into each shift data input signal terminal of the driver IC (1') at a prescribed timing.

3. Detailed explanation of the invention:

(Outline)

This invention relates to a driving circuit for a liquid crystal panel, with which the liquid crystal panel is driven by allotting the terminal electrodes of the liquid crystal panel among plural driver ICs.

The purpose of this invention is to enable driving of the driving

circuit for a liquid crystal panel by using the same driving circuit even when the output bit number of a driver IC is larger than the circuit number of the divided electrode groups.

In a driving circuit for a matrix-type liquid crystal display panel in which the terminal electrodes of the liquid crystal panel are divided, in advance, into plural electrode groups depending on the output bit number (m) of the driver IC, and which is equipped with a driver IC whose number is similar to that of the electrode groups; the driving circuit for the liquid crystal panel is characterized by the fact that the driving circuit has auxiliary terminals, in which other ends are opened, to which excess output bits of the driver IC having an output number (n) which is larger than (m) are connected, a start pulse generating circuit with which a start pulse is generated for every circuit number of the electrode group, and a start pulse input circuit with which, when the driver IC having excess output bits is connected to the electrode group, a start pulse is input into each shift data input signal terminal of this driver IC at a prescribed time.

(Industrial application)

This invention relates to a driving circuit for a liquid crystal panel. Especially, this invention relates to a driving circuit for a liquid crystal panel, in which the liquid crystal panel is driven by allotting the terminal electrodes of the liquid crystal panel among plural driver ICs.

In recent years, an excellent picture quality TFT-type color liquid crystal display device has been manufactured. In addition, in the future, color liquid crystal display devices for multi-color display

(eight-color or sixteen-color display) for large size and large display capacity personal computers and for full color display for television display will be desired. Accordingly, as its driving circuit, the low cost driver IC for STN-type liquid crystal is used for multi-color display, and the highly functional analog driver IC is used for full color display. However, since the output bit number of the driver IC for multi-color display is different from that of the driver IC for full color display, liquid crystal panels having terminal electrodes respectively corresponding to these ICs have to be prepared. Thus, a commonly usable liquid crystal panel is desired.

(Conventional techniques)

In recent years, a larger-size liquid crystal display panel is being made, and the one in which the number of data signal input terminals and the number of scan signal input terminals of the liquid crystal display panel are 640 and 480, respectively, is being put into practical use. As a liquid crystal display panel is made larger in size, the data signal input terminals or the scan signal input terminals cannot be handled respectively with one driver IC. At present, the data signal input terminals and the scan signal input terminals are driven by being allotted among plural driver ICs.

Figure 6 shows the inside constitution of a conventional analog driver IC (60). Analog driver IC (60) is equipped with a shift register (61), by which shift data input signal (SI) is shifted corresponding to the clock signal (CLK); data lines (62), which transmit the three-primary-color data (i.e., R (red), G (green), and B (blue)); sampling switches (63), which are set to an ON or OFF state by the signal from

the shift register (61); sample hold circuits (64); and buffers (65). After the shift data input signal (SI) is passed through the shift register (61), it becomes a shift data output signal (SO), and becomes the shift data input signal (SI) of the analog driver IC (60) at the next stage. Since it is more convenient that the output bit number of the analog driver IC (60) is a multiple of three, at present, an analog driver IC (60) having the output bit number of 162 bits is being put into practical use.

For instance, as shown in Figure 7, in the full color liquid crystal display panel (70) (640x3(R,G,B)x480 dots), the scan electrode side is driven by four driver ICs (71) in which the output bit number is 120 bits, and the data electrode side is driven by six analog driver ICs (60) for the odd-numbered data electrodes arranged at the upper side of the panel (70) and by six analog driver ICs (60) for the even-numbered data electrodes arranged at the lower side of the panel (70). In this case, for the analog driver ICs (60), those in which the output bit number is 162 bits are used. For the first and the last analog driver ICs (60), the output bit number is not used entirely; instead, only 156 bits (among 162 bits) are used to match the total number.

Figure 8 shows a conventional connection of the analog driver ICs (60) which are arranged as shown in Figure 7. Six analog driver ICs (60) are so arranged that the input terminal and the output terminal of the shift data signal are connected in a cascading manner. The output bit of the first analog driver IC (60) is connected to the liquid crystal panel (90) from the seventh output bit. The output bit of the last analog driver IC (60) is connected to the liquid crystal panel (90) up to the

156th bits. In addition, clock signal (CLK) is input into each of the analog driver ICs (60).

On the other hand, in a multi-colored liquid crystal display panel (90) (640x3(R,G,B)x480 dots) as shown in Figure 9, the scan electrode side is similarly driven by four driver ICs (91) in which the output bit number is 120 bits, and the data electrode side is driven by six digital driver ICs (90) in which the output bit number is 160 bits arranged at the upper side of the panel (90) and by six digital driver ICs (92) in which the output bit number is 160 bits arranged at the lower side of the panel (90). Since RGB data are input as serial data into the digital driver IC (92), the output bit number does not have to be a multiple of three. It is sufficient that the output bit number of the digital driver IC (92) is a divisor of 480. The output bit number of the driver IC for a currently obtainable STN-type liquid crystal display panel is 160 bits at a data 4/8 bits input. Six of these digital driver ICs (92) are connected in a cascading manner as shown in Figure 10, RGB data is input into the first IC (92) as serial data.

(Problems this invention intends to solve)

However, when a panel having 640xRGBx480 pixels is to be driven, if the output bit number of the digital driver IC is 160 bits (data 4/8 bits input) and the output bit number of the analog driver IC is 81/162 bits (27xRGB, 54xRGB), the number of panel electrode terminals has to be changed depending on whether a 160-bit IC or a 162-bit IC is to be used.

This invention intends to solve the above-described problem associated with the conventional driving circuit for a liquid crystal panel, and to propose a driving circuit for a liquid crystal panel with

which, even when driver ICs having a different output bit number are used, one circuit can be commonly used without requiring separate driving circuits.

(Means for solving the problems)

The constitution of the invented driving circuit for a liquid crystal panel, with which the aforementioned purposes can be achieved, is shown in Figure 1. In Figure 1, terminal electrodes (3) of the liquid crystal panel (2) are divided, in advance, into plural electrode groups (4) depending on the output bit number (m) of the driver IC (1), and is driven by the driver IC (1) whose number is similar to that of the electrode groups (4). Such a driving circuit for a liquid crystal panel is characterized by the fact that the driving circuit has auxiliary terminals (5), in which other ends are opened, and to which excess output bits of the driver IC (1') having an output number (n) which is larger than the output bit number (m) of the driver IC (1) are connected, a start pulse generating circuit (6) with which a start pulse is generated for every circuit number of the electrode group (4), and a start pulse input circuit (7) with which, when the driver IC (1') is connected to the electrode group (4), a start pulse is input into each shift data input signal terminal of the driver IC (1') at a prescribed time.

(Operation)

According to the invented driving circuit for a liquid crystal panel, when the output bit number of the driver IC matches the terminal electrodes within the electrode group of the liquid crystal panel (in which the terminal electrodes were divided, in advance, into plural

electrode groups), the output bit of the driver IC is installed in the liquid crystal panel without using auxiliary terminals. On the other hand, when the output bit number of the driver IC is larger than the terminal electrodes within the electrode group of the liquid crystal panel (in which terminal electrodes were divided, in advance, into plural electrode groups), the excess output bits of the driver IC are connected to the auxiliary terminals in which other ends are opened. In addition, a start pulse is input from the start pulse generating circuit to the shift data input signal terminals of each of the driver ICs at a prescribed time so as to match the data shift timing.

(Application examples)

In what follows, application examples of this invention are explained by referring to accompanying figures.

Figure 2 shows a partial constitution of an application example of the invented driving circuit for a liquid crystal panel. Furthermore, in the liquid crystal panel (not shown in the diagram) which is used in this application example, terminal electrodes at the data side are divided, in advance, into electrode groups (24) (160 electrodes in each group) so as to correspond to the driver IC in which the output bit number is 160 bits. In addition, in this application example, it is presumed that driver ICs are installed in which the output bit number is 162 bits. Thus, auxiliary terminals (25), in which other ends are opened, are set at the side of each electrode group (24). Also, the driver ICs in which the output bit number is 160 bits are connected to terminals (23) of each electrode group (24). For the driver ICs in which the output bit number is 162 bits, 1-160 bits are connected to terminals

(23) of each electrode group (24), and the excess output bits (i.e., two bits) are connected to the auxiliary terminals (25).

Furthermore, in this application, a start pulse generating circuit (26) which generates a start pulse (ST) at every 160th clock pulse (CLK) is installed, and, from this start pulse generating circuit (26), a start pulse (ST_1) is output to a circuit (27) at the first clock pulse (CLK) by synchronizing with the clock pulse (CLK), and, at the 161st clock pulse (CLK), a start pulse (ST_2) is output to another circuit (27). In this way, start pulses (ST_1-ST_{12}) are respectively output to circuits (27) at every 160th clock pulse (CLK). Furthermore, after the start pulse (ST_{12}) is output, start pulses (ST_1-ST_{12}) are again respectively output to other circuits (27) from the start pulse generating circuit (26).

In addition, when a driver IC in which the output bit number is 160 bits is connected to terminals (23) of each electrode group (24), shift data output terminal (SO) of the driver IC is connected to the shift data input terminal (SI) of the driver IC at the next stage. On the other hand, when a driver IC in which the output bit number is 162 bits is to be used, as shown in Figure 2, 1-160 bits are connected to terminals (23) of each electrode group (24), and the excess output bits (i.e., two bits) are connected to the auxiliary terminals (25). Also, the start pulse generating circuit (26) is connected to shift data input terminal (SI) of each driver IC (21) via the circuit (27), and start pulses (ST_1-ST_{12}) are input into shift data input terminal (SI) of each driver IC (21) from the start pulse generating circuit (26).

Figure 3 is a timing chart showing the timing relation between the

clock signal (CLK) and start pulses (ST₁, ST₂, ST₃). Although not shown in Figure 3, the start pulse (ST₁) becomes high level "H" in the next round after 160 clock pulses (CLK) are output after the start pulse (ST₁₂) is output.

Figure 4 shows a constitution of another application example of the invented driving circuit for a liquid crystal panel. Figure 4 shows the entire constitution of the circuit which drives a liquid crystal panel having 640xRGBx480 pixels. In this constitution, driver ICs (21) in which the output bit number is 162 bits are used as the data side drivers, and driver ICs (41) in which the output bit number is 120 bits are used as the scan side drivers. Furthermore, in this application example, the data side driver ICs (21) are divided into two parts: one part is for an odd-numbered data line and the other part is for an even-numbered data line. Those for an odd-numbered data line are placed at the upper side of the liquid crystal panel, and those for an even-numbered data line are placed at the lower side of the liquid crystal panel. In addition, as described earlier, output bits (1-160 bits) of the driver IC (21), in which the output bit number is 162 bits, are connected to terminal electrodes of the liquid crystal panel, and the 161st bit and the 162nd bit of each IC (21) are connected to respective auxiliary terminals (25) (thus, they are not connected to the panel).

In this circuit constitution, since twelve data driver ICs (21) are divided into those for the odd-numbered data line and those for the even-numbered data line, the odd-numbered start pulses (ST₁-ST₁₁) are respectively input into the driver ICs (21) at the upper side, and the even-numbered start pulses (ST₂-ST₁₂) are respectively input into the

driver ICs (21) at the lower side. In this case, as the clock signal (CLK_{odd}) to be input into the driver ICs (21) at the upper side and the clock signal (CLK_{even}) to be input into the driver ICs (21) at the lower side, the clock signal (CLK) explained in Figure 2 is divided into two, and one is delayed as much as the clock signal (CLK). Furthermore, the start pulse generating circuit, which is not shown in Figure 4, forms the start pulse (ST_1) based on the clock signal (CLK_{odd}), which results from the 2-division of the clock signal (CLK). Thereafter, the subsequent start pulses (ST_3-ST_{11}) are formed at every 160 clocks. Furthermore, the start pulse generating circuit forms the start pulses (ST_2-ST_{12}) in the following manner. Namely, the start pulse (ST_2) is formed based on the clock signal (CLK_{even}), which results from the 2-division of the clock signal (CLK) and is delayed by one clock pulse signal (CLK). Thereafter, the subsequent start pulses (ST_4-ST_{12}) are formed at every 160 clocks. Alternatively, the start pulses (ST_2-ST_{12}) can be formed by delaying the start pulses (ST_1-ST_{11}) by one clock pulse signal (CLK).

Figure 5 shows a timing chart of signals including the frame synchro signal (ST-G) for driving the liquid crystal panel (40) shown in Figure 4, the scan signal (CLK-G) for every one line, the clock signal (CLK_{odd}) for the odd-numbered line and the clock signal (CLK_{even}) for the even-numbered line, and the start pulses (ST_1-ST_{12}). In this manner, by inputting the start pulses (ST_1-ST_{12}), which are shifted respectively by a clock of 160 bits as shown in the diagram, as the shift data input signal of each data driver IC (21), each driver IC (21) can perform an operation which is equivalent to the operation of a system in which

drivers with the output bit number of 160 bits are connected in a cascading manner.

(Effects of the invention)

As explained thus far, according to this invention, since the output bit number of driver ICs can be changed, a liquid crystal panel can be driven even when the number of terminal electrodes of the panel is different from the output bit number of the driver ICs. Thus, a highly flexible driver circuit for display panel can be realized.

4. Brief explanation of figures:

Figure 1 is a constitutional diagram showing the basic principle of the invented driving circuit for a liquid crystal panel.

Figure 2 is a partial constitutional diagram of an application example of the invented driving circuit for a liquid crystal panel.

Figure 3 is a timing chart of clock signal and start pulse of the driving circuit shown in Figure 2.

Figure 4 is a constitutional diagram showing the constitution of another application example of the invented driving circuit for a liquid crystal panel.

Figure 5 is a timing chart showing the waveform of each signal of the driving circuit shown in Figure 4.

Figure 6 is a constitutional diagram of a conventional analog driver IC circuit.

Figure 7 is a constitutional diagram of a conventional driving circuit for a full color display device.

Figure 8 is a partial circuit diagram showing connection of analog driver ICs.

Figure 9 is a constitutional diagram of a conventional driving circuit for a multi-color display device.

Figure 10 is a partial circuit diagram showing the connection of digital driver ICs.

23...terminals set in each electrode group

24...electrode group

25...auxiliary terminals

26...start pulse generating circuit

27...circuit

40...liquid crystal panel

41...driver IC

CLK...clock pulse

CLK_{odd}...clock signal for the odd-numbered line

CLK_{even}...clock signal for the even-numbered line

ST₁-ST₁₂...start pulses

SI...shift data input terminal

SO...shift data output terminal.

Figure 1

Constitutional diagram showing the basic principle of this invented driving circuit

[Key:]

2...liquid crystal display panel; 6...start pulse generating circuit

Figure 2

Partial constitution of an application example

[Key:]

21...driver IC; 26...start pulse generating circuit

Figure 3

Timing chart of the driving circuit shown in Figure 2

[Key:]

A...clock signal CLK; B...start pulse ST₁; C...start pulse ST₂;
D...start pulse ST₃; E...time

Figure 4

Constitutional diagram of another application example

[Key:]

A...scan driver; B...odd-numbered line data driver; C...even-numbered
line data driver; 40..liquid crystal display panel (640x3x480)

Figure 5
Timing char of the driving circuit shown in Figure 4

[Key:]
A...480 bits; B...160 bits

Figure 6
Constitution of an analog driver IC

[Key:]
A...shift register; B...sample hold; C...buffer

Figure 7

Constitution of a conventional driving circuit for a full color display device

[Key:]

A...odd-numbered line; B...even-numbered line; C...pieces (or bits);
70...full color liquid crystal display panel, (data driver IC: 162 bits
unit), (640x3 (R,G,B)x480)

Figure 8

Connection of analog driver ICs

[Key:]

A...driver IC

Figure 9

Constitution of a conventional driving circuit for a multi-color display device

[Key:]

A...pieces (or bits); 90...multi-color liquid crystal display panel,
(data driver IC: 160 bits unit), (640x3(R,G,B)x480)

Figure 10

Connection of digital driver ICs

[Key:]

A...RGB serial data; B...driver IC

⑨日本国特許庁 (JP) ⑩特許出願公開
⑪公開特許公報 (A) 平4-168417

⑫Int. Cl. 5 識別記号 ⑬公开 平成4年(1992)6月16日
G 02 F 1/133 505 7634-2K
G 09 G 3/36 7926-5G

審査請求 未請求 請求項の数 1 (全9頁)

⑭発明の名称 液晶パネルの駆動回路

⑪特 願 平2-293661
⑪出 願 平2(1990)11月1日

⑫発明者 高原 和博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑫発明者 山口 忠久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑪出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑪代理人 弁理士 青木 朗 外4名

PTO 2001-3806

S.T.I.C. Translations Branch

明細書

1. 発明の名称

液晶パネルの駆動回路

2. 特許請求の範囲

ドライバIC(1)の出力ビット数mに応じて液晶パネル(2)の端子電極(3)が予め複数の電極群(4)に分割され、この電極群(4)の数と同数のドライバIC(1)を備えたマトリクス型液晶表示パネルの駆動回路であって、

ドライバIC(1)の出力ビット数mより多い出力ビット数nを備えたドライバIC(1')の余剰出力ビットを接続する、他端が開放された補助端子(5)と、

電極群(4)の回路数毎にスタートパルスを発生するスタートパルス発生回路(6)と、

ドライバIC(1')が電極群(4)に接続された場合に、スタートパルスをこのドライバIC(1')の各シフトデータ入力信号端子に所定のタイミングで入力するスタートパルス入力回路(7)とを有することを特徴とする液晶パネルの駆動回路。

3. 発明の詳細な説明

(概要)

複数のドライバICで液晶パネルの端子電極を分担して液晶パネルを駆動する液晶パネルの駆動回路にに関し、

ドライバICの出力ビット数が分割電極群の回路数よりも多くても同じ駆動回路を使用して液晶パネルの駆動回路を駆動できるようにすることを目的とし、

ドライバICの出力ビット数mに応じて液晶パネルの端子電極が予め複数の電極群に分割され、この電極群の数と同数のドライバICを備えたマトリクス型液晶表示パネルの駆動回路に、mより多い出力ビット数nを備えたドライバICの余剰出力ビットを接続する、他端が開放された補助端子と、電極群の回路数毎にスタートパルスを発生するスタートパルス発生回路と、余剰出力ビットを持つドライバICが電極群に接続された場合に、スタートパルスをこのドライバICの各シフトデータ入力信号端子に所定のタイミングで入力する

THIS PAGE BLANK (USPTO)

スタートパルス入力回路とを設けて構成する。

〔産業上の利用分野〕

本発明は液晶パネルの駆動回路に関し、特に、複数のドライバICで液晶パネルの端子電極を分担して液晶パネルを駆動する液晶パネルの駆動回路に関する。

近年、画質の優れたTFT型カラー液晶表示装置が製品化され、今後大型で表示容量の大きなパソコン対応のマルチカラー表示（8色または16色表示）、テレビ表示用のフルカラー表示のカラー液晶表示装置が望まれている。そこで、その駆動回路としてマルチカラー表示用には低コストのSTN型液晶用のドライバICが、フルカラー表示用には高機能なアナログドライバICが用いられる。しかしながら、マルチカラー表示用のドライバICとフルカラー表示用のドライバICとでは、出力ビット数が異なるので、それぞれのICに対応した端子電極を有する液晶パネルを用意せねばならず、その共通化が望まれている。

号S1はシフトレジスタ61を通過した後はシフトデータ出力信号S0となって次段のアナログドライバIC60のシフトデータ入力信号S1となる。アナログドライバIC60の出力ビット数は3の倍数である方が都合が良いため、現在では162本の出力ビット数を備えたアナログドライバIC60等が実用化されている。

例えば、第7図に示すような640×3(RGB)×480ドットのフルカラー液晶表示パネル70は、走査電極側が出力ビット数が120本の4個のドライバIC71で駆動され、データ電極側がパネル70の上下にそれぞれ6個ずつ配置された奇数番目のデータ電極用のアナログドライバIC60と偶数番目のデータ電極用のアナログドライバIC60によって駆動されるようになっている。このとき、アナログドライバIC60には出力ビット数が162本のものを使用するが、最初と最後のアナログドライバIC60は全ての出力ビット数を使用せずに、そのうちの156本だけ使用して総数を合わせるようにしている。

〔従来の技術〕

近年、液晶表示パネルの大型化が進み、液晶表示パネルのデータ信号入力端子とスキャン信号入力端子の数はそれぞれ640と480程度のものが実用化されている。このように液晶表示パネルが大型化されると、データ信号入力端子、あるいはスキャン信号入力端子をそれぞれ1個のドライバICで受け持たせることは出来なくなり、複数のドライバICでデータ信号入力端子およびスキャン信号入力端子を分担して駆動しているのが現状である。

第6図は従来のアナログドライバIC60の内部構成を示すものである。アナログドライバIC60には、クロック信号CLKに応じてシフトデータ入力信号S1をシフトするシフトレジスタ61と、R(赤)、G(緑)、B(青)の三原色のデータを伝えるデータライン62と、シフトレジスタ61からの信号によりオンオフされるサンプリングスイッチ63と、サンプルホールド回路64と、バッファ65とが備えられている。そして、シフトデータ入力信

号S1はシフトレジスタ61を通過した後はシフトデータ出力信号S0となって次段のアナログドライバIC60のシフトデータ入力信号S1となる。6個のアナログドライバIC60はシフトデータ信号の入力端子と出力端子がカスケードに接続され、最初のアナログドライバIC60は7本目の出力ビットから液晶パネル90に接続され、最後のアナログドライバIC60の出力ビットは156本目までが液晶パネル90に接続される。そして、各アナログドライバIC60にはクロック信号CLKが入力されるようになっている。

一方、第9図に示すような640×3(RGB)×480ドットのマルチカラー液晶表示パネル90は、走査電極側が同様に出力ビット数が120本の4個のドライバIC91で駆動されるが、データ電極側はパネル90の上下にそれぞれ6個ずつ配置された出力ビット数が160本のディジタルドライバIC92によって駆動される。ディジタルドライバIC92にはRGBデータがシリアルデータとして入力されるので、その出力ビット数は3の倍数である必要がなく、ディジタルドライバIC92

THIS PAGE BLANK (USPTO)

の出力ビット数は480の約数であれば良い。現在入手可能なSTN型液晶表示パネル用ドライバICの出力ビット数は、データ4/8ビット入力で160ビットとなっている。このようなディジタルドライバIC92は、第10図に示すように6個がカスケードに接続され、RGBデータがシリアルデータとして最初のIC92に入力されるようになっている。

〔発明が解決しようとする課題〕

しかしながら、例えば640×RGB×480画素のパネルを駆動する場合、ディジタルドライバICの出力ビット数が160ビット(データ4/8ビット入力)で、アナログドライバICの出力ビット数が81/162ビット(27×RGB、54×RGB)であると、160ビットのICを使用する場合と162ビットのICを使用する場合とではパネル電極端子数を変えなければならぬという問題があった。

本発明の目的は、前記従来の液晶パネルの駆動

回路の有する課題を解消し、出力ビット数の異なるドライバICを使用した場合でも、駆動回路を別々に用意することがなく、1つの回路を共通に使用することができる液晶パネルの駆動回路を提供することにある。

〔課題を解決するための手段〕

前記目的を達成する本発明の液晶パネルの駆動回路の構成が第1図に示される。図において、液晶パネル2の端子電極3は、ドライバIC1の出力ビット数mに応じて予め複数の電極群4に分割されており、この電極群4の数と同数のドライバIC1によって駆動されるようになっている。このような液晶パネルの駆動回路において、本発明では、ドライバIC1の出力ビット数mより多い出力ビット数nを備えたドライバIC1'の余剰出力ビットを接続する、他端が開放された補助端子5と、電極群4の回路数毎にスタートパルスを発生するスタートパルス発生回路6と、ドライバIC1'が電極群4に接続された場合に、スター

トパルスをこのドライバIC1'の各シフトデータ入力信号端子に所定のタイミングで入力するスタートパルス入力回路7と設けたことを特徴としている。

〔作用〕

本発明の液晶パネルの駆動回路によれば、ドライバICの出力ビット数が、予め複数の電極群に分割された液晶パネルの電極群内の端子電極に一致するときは、ドライバICの出力ビットを補助端子を使用することなく液晶パネルに取り付ける。一方、ドライバICの出力ビット数が、予め複数の電極群に分割された液晶パネルの電極群内の端子電極よりも多いときは、そのドライバICの余剰出力ビットを他端が開放された補助端子に接続し、このドライバIC各個のシフトデータ入力信号端子に、スタートパルス発生回路からスタートパルスを所定のタイミングで入力してデータシフトのタイミングを合わせる。

〔実施例〕

以下添付図面を用いて本発明の実施例を詳細に説明する。

第2図は本発明の液晶パネルの駆動回路の一実施例の部分的な構成を示すものである。なお、この実施例で使用する図示しない液晶パネルは、予め出力ビット数が160ビットのドライバICに対応させて、そのデータ側の端子電極が160個毎に電極群24に分割されているものとする。従って、図において、23は各電極群24毎に設けられた端子である。そして、この実施例では液晶パネルに出力ビット数が162ビットのドライバICが取り付けられることを想定して、各電極群24の間に他端が開放された補助端子25を設けている。そして、出力ビット数が160ビットのドライバICは各電極群24の端子23に接続し、出力ビット数が162ビットのドライバICは1~160ビットを各電極群24の端子23に接続し、2ビットの余剰出力ビットは補助端子25に接続する。

また、この実施例ではクロックパルスCLKの

THIS PAGE BLANK (USPTO)

160個毎にスタートパルスSTを発生するスタートパルス発生回路26を設ける。そして、このスタートパルス発生回路26からは、クロックパルスCLKに同期して、1個目のクロックパルスCLKの時にスタートパルスST₁がある回路27に出力され、161個目のクロックパルスCLKの時にスタートパルスST₂が別の回路27に出力されるというように、クロックパルスCLKの160個毎にスタートパルスST₁～ST₁₆₀がそれぞれ別の回路27に出力される。なお、スタートパルスST₁₆₀が出力された後は、スタートパルス発生回路26からはスタートパルスST₁～ST₁₆₀が繰り返してそれぞれ別の回路に出力される。

そして、出力ビット数が160ビットのドライバICが各電極群24の端子23に接続された時は、そのドライバICのシフトデータ出力端子SOを次段のドライバICのシフトデータ入力端子SIに接続する。一方、出力ビット数が162ビットのドライバICを使用する時は、第2図に示すように、1～160ビットを各電極群24の端子23に

接続し、2ビットの余剰出力ビットは補助端子25に接続すると共に、回路27によりスタートパルス発生回路26を各ドライバIC21のシフトデータ入力端子SIに接続し、スタートパルス発生回路26からスタートパルスST₁～ST₁₆₀が各ドライバIC21のシフトデータ入力端子SIに入力されるようとする。

第3図は以上説明したクロック信号CLKと、スタートパルスST₁～ST₁₆₀のタイミングの関係を示すタイミングチャートである。この図には示していないが、次にスタートパルスST₁がハイレベル“H”となるのは、スタートパルスST₁₆₀が出力されてからクロックパルスCLKが160個出力された後である。

第4図は本発明の液晶パネルの駆動回路の別の実施例の構成を示すものであり、640×RGB×480の画素を持つ液晶パネル40を駆動する回路の全体構成を示すものである。この図にはデータ側ドライバとして162ビット出力のドライバIC21を使用し、スキャン側ドライバとして12

0ビット出力のドライバIC41を使用した場合の構成を示した。なお、この実施例では、データ側のドライバIC21はデータラインの奇数ライン用と偶数ライン用に分け、奇数ライン用を液晶パネル40の上側に配置し、偶数ライン用を液晶パネル40の下側に配置している。そして、前述のように162ビット出力のドライバIC21の出力ビット1～160ビットは液晶表示パネル端子電極に接続し、各IC21の161、162ビットは補助端子25に接続するので無効出力となり、パネルには接続されない。

この回路構成においては、12個のデータドライバIC21を奇数用と偶数用に分けているので、奇数番目のスタートパルスST₁～ST₁₆₀を上側のドライバIC21にそれぞれ入力し、偶数番目のスタートパルスST₂～ST₁₆₀を下側のドライバIC21にそれぞれ入力する。このとき、上側のドライバIC21に入力するクロック信号CLK_{odd}と下側のドライバIC21に入力するクロック信号CLK_{even}は第2図で説明したクロック信号CL

Kを2分周し、一方をクロック信号CLKだけ遅延させておく。また、第4図に図示しないスタートパルス発生回路は、クロック信号CLKを2分周したクロック信号CLK_{odd}に基づいてスタートパルスST₁を作り、以後160クロック毎に以後のスタートパルスST₂～ST₁₆₀を作る。また、スタートパルス発生回路は、スタートパルスST₂～ST₁₆₀に対しては、クロック信号CLKを2分周して1クロックパルス信号CLKだけ遅延させたクロック信号CLK_{even}に基づいてスタートパルスST₂を作り、以後160クロック毎に以後のスタートパルスST₂～ST₁₆₀を作っても良く、また、スタートパルスST₁～ST₁₆₀を1クロックパルス信号CLKだけ遅延させてスタートパルスST₁～ST₁₆₀を作っても良い。

第5図に第4図に示した液晶パネル40を駆動するためのフレーム同期信号ST-G、1ライン毎のスキャン信号CLK-G、奇数ラインのクロック信号CLK_{odd}と偶数ラインのクロック信号CLK_{even}、およびスタートパルスST₁～ST₁₆₀

THIS PAGE BLANK (USPTO)

の各信号のタイミングチャートを示す。このように、各データドライバIC21のシフトデータ入力信号として図中に示したようにクロック160ビットずつずれたスタートパルスST₁～ST₁₂を入力することにより、各ドライバIC21は160ビット出力のドライバがカスケード接続されたと等価な動作が可能になる。

〔発明の効果〕

以上説明したように、本発明によれば、ドライバICの出力数を可変できるため、パネルの端子電極数がドライバICの出力数と異なっていても駆動が可能になり、汎用性の高い表示パネルの駆動回路が実現できる。

4. 図面の簡単な説明

第1図は本発明の液晶パネルの駆動回路の原理構成図、

第2図は本発明の液晶パネルの駆動回路の一実施例の部分構成図、

第3図は第2図の駆動回路のクロック信号とス

タートパルスのタイミングチャート図、

第4図は本発明の液晶パネルの駆動回路の別の実施例の構成を示す全体構成図、

第5図は第4図の駆動回路の各信号の波形を示すタイミングチャート図、

第6図は従来のアナログドライバICの回路構成図、

第7図は従来のフルカラー表示器を駆動する回路構成を示す図、

第8図はアナログドライバICの接続を示す部分回路図、

第9図は従来のマルチカラー表示器を駆動する回路構成を示す図、

第10図はディジタルドライバICの接続を示す部分回路図である。

23…各電極群毎に設けられた端子、

24…電極群、

25…補助端子、

26…スタートパルス発生回路、

27…回路、

40…液晶パネル、
41…ドライバIC、
CLK…クロックパルス
CLK_{odd}…奇数ラインのクロック信号、
CLK_{even}…偶数ラインのクロック信号、
ST₁～ST₁₂…スタートパルス、
SI…シフトデータ入力端子、
SO…シフトデータ出力端子。

特許出願人

富士通株式会社

特許出願代理人

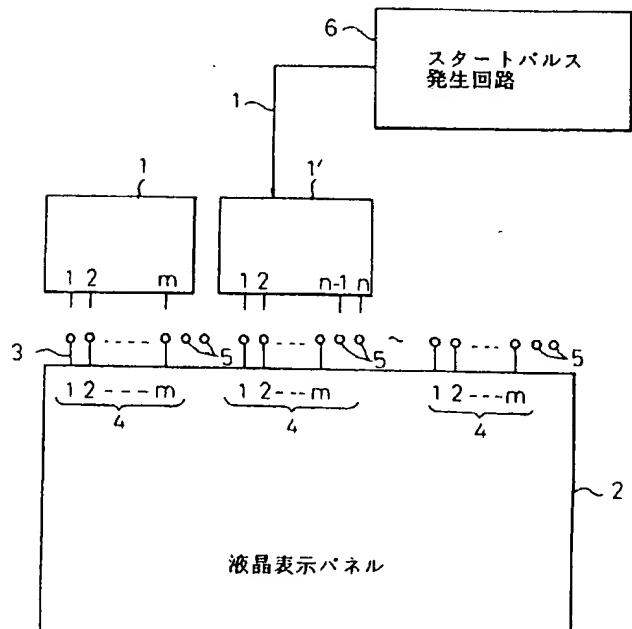
弁理士 青木 朗

弁理士 石田 敬

弁理士 平岩 賢三

弁理士 山口 昭之

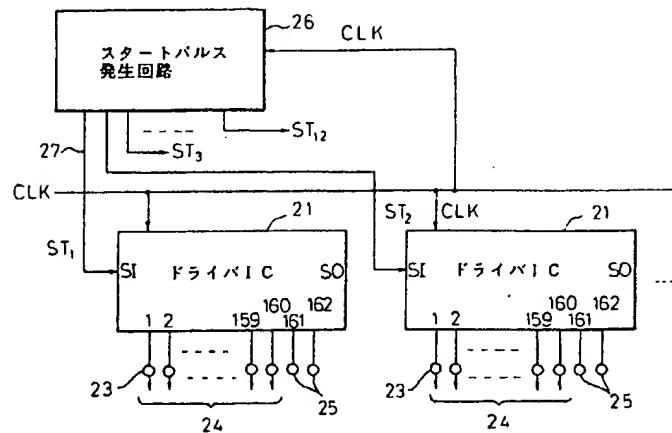
弁理士 西山 雅也



本発明の原理構成図

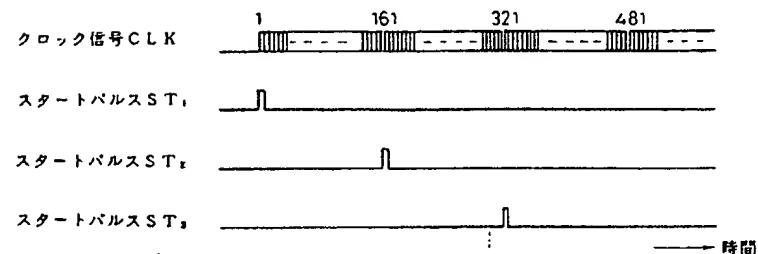
第1図

THIS PAGE BLANK (USPTO)



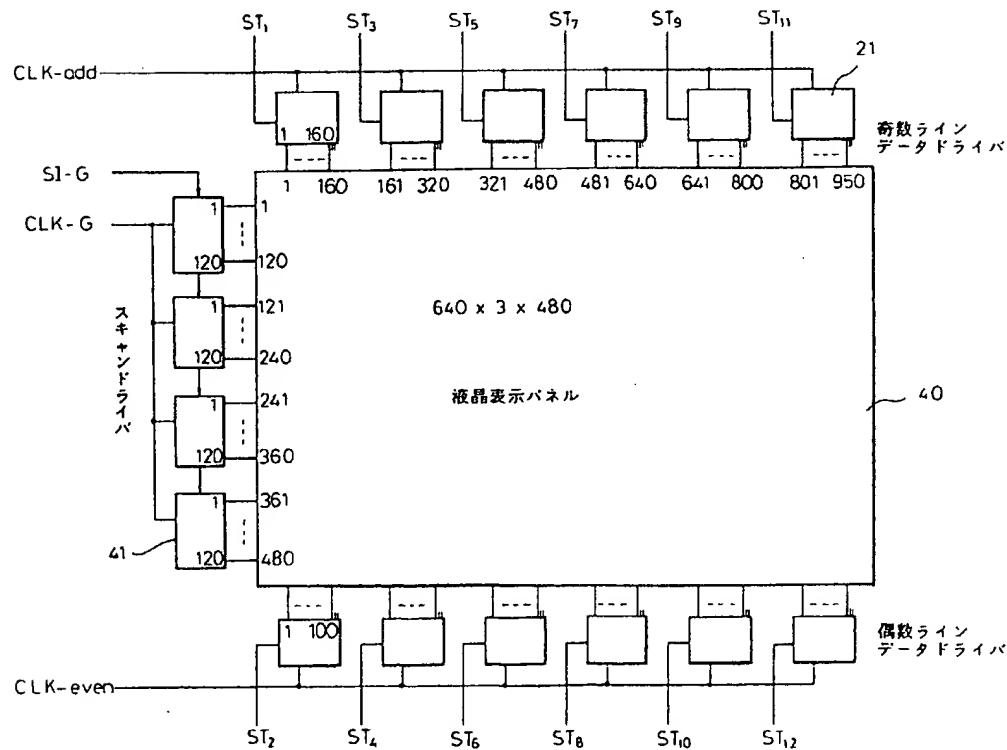
一実施例の部分構成

第2図



第2図のタイミングチャート

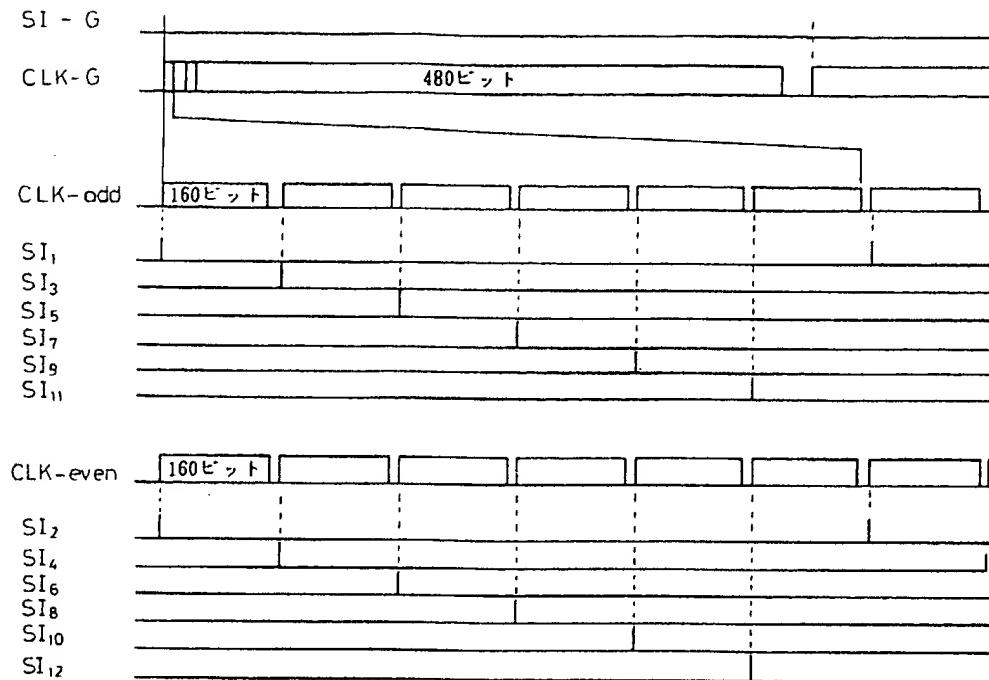
第3図



別の実施例の全体構成図

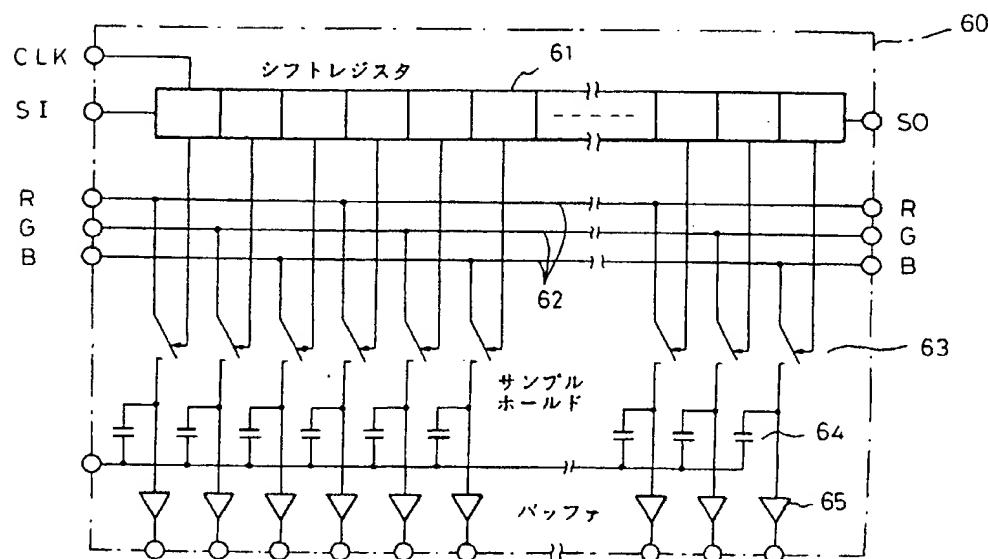
第4図

THIS PAGE BLANK (USPTO)



第4図の駆動回路のタイミングチャート

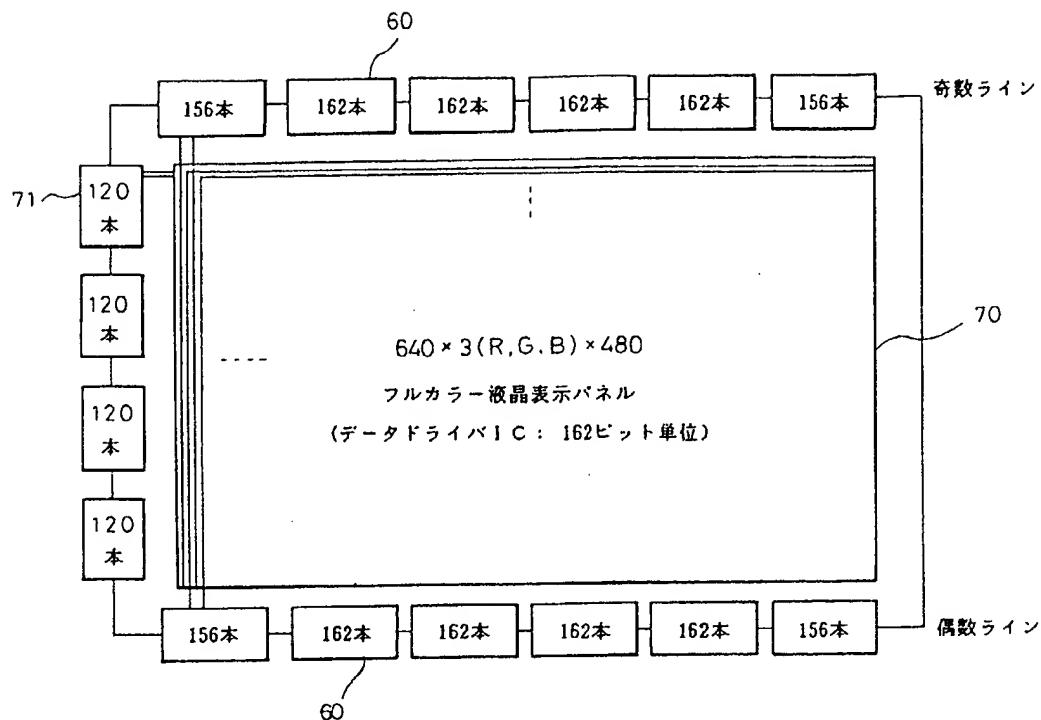
第5図



アナログドライバICの構成

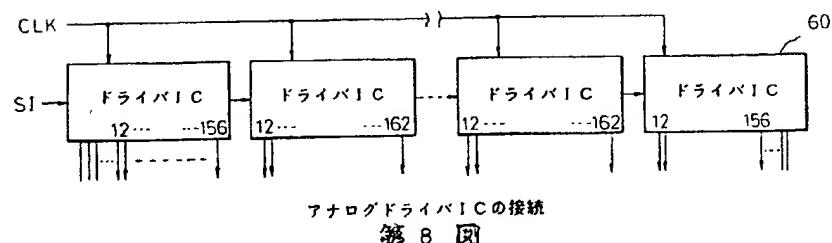
第6図

THIS PAGE BLANK (USPTO)



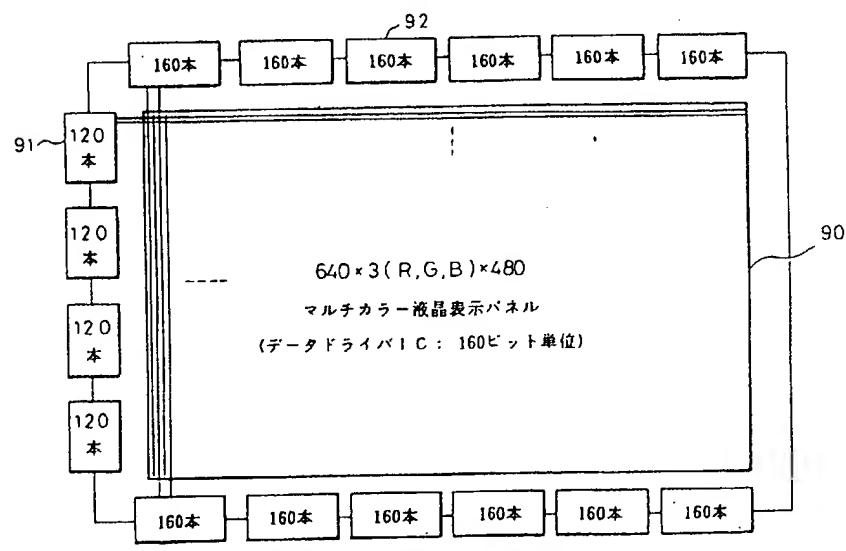
従来のフルカラー表示器の駆動回路構成

第7図



アナログドライバICの接続

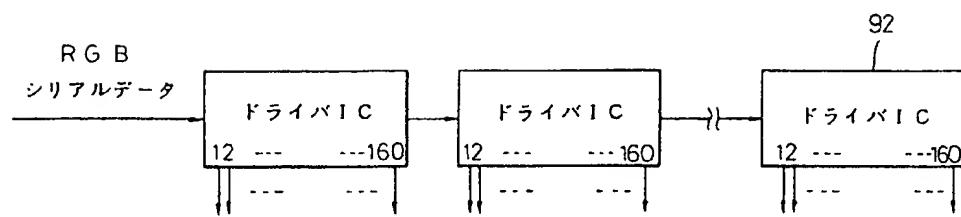
第8図



従来のマルチカラー表示器の駆動回路構成

第9図

THIS PAGE BLANK (USPTO)



ディジタルドライバ ICの接続

第 10 図

THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)